7. Übungsblatt Informatik II (SS 96)

Michael Mehl, Prof. Gert Smolka
(mehl,smolka)@dfki.uni-sb.de

Ausgabe: 7. Juni 1996 **Abgabe:** 14. Juni 1996 vor der Vorlesung

Aufgabe 7.1 [Verzögerungszeit] (2 Punkte)
Schätzen Sie die Verzögerungszeit von 74F00-Gattern bei 5pF Last ab.

Aufgabe 7.2 [Master-Slave Flipflop] (8 Punkte)
Ein Master-Slave Flipflop ist eine Schaltung gemäß folgendem Bild:

[siehe S.284 in Keller/Paul]

- Führen Sie eine Timing-Analyse für ein Master-Slave Flipflop mit D-Latches des Bausteines 74F373 durch. Betrachten Sie dazu die Übergänge des Eingangs CK von 0 nach 1 und von 1 nach 0. Bestimmen Sie damit die Setup-Zeit, die Hold-Zeit, die Verzögerungszeit und die Clockfrequenz.
- Was hat das Master-Slave Flipflop für eine Funktion?

Aufgabe 7.3 [D-Flipflop] (8 Punkte)
Wir betrachten ein D-Flipflop, bei dem der Ausgang /Q mit dem Eingang D verbunden ist.

- Geben Sie eine Timinganalyse für den Ausgang Q an, wenn der Eingang CK mit einer Clockfrequenz von 1 MHz angesteuert wird.
- Wie kann man aus einem Signal mit einer Clockfrequenz von 64 MHz ein Signal mit einer Clockfrequenz von 1 MHz erzeugen?

Aufgabe 7.4 [SRAM] (6 Punkte)

- Wieviele Treiber benötigt man zur Konstruktion des Treiberbaumes für den Dateneingang D_{in} eines 4-Bit SRAMs.
- Zeichnen Sie einen 8-Bit Dekodierer.
- Zeichnen Sie ein 4-Bit SRAM.