Lösungen zum 7. Übungsblatt Informatik II (SS 96)

Jörg Fischer (jofis@cscip.uni-sb.de)
Michael Mehl (mehl@dfki.uni-sb.de)

Lösung zu Aufgabe 7.1 [Verzögerungszeit]

$\alpha \approx 0.03\frac{\text{ns}}{\text{pF}}$, C_0 =50pF, C=5pF, $t_p(C)=t_p(C_0)+\alpha*(C\text{-}C_0)$

min: t_{PLH}(5pF)= 2.4ns +0.03$\frac{\text{ns}}{\text{pF}}$∗ (5pF - 50pF) = 1.05 ns

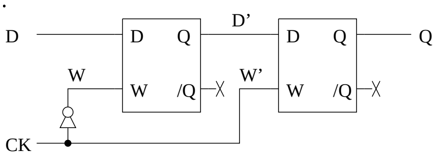
max: t_{PLH}(5pF)= 6.0ns +0.03$\frac{\text{ns}}{\text{pF}}$∗ (5pF - 50pF) = 4.65 ns

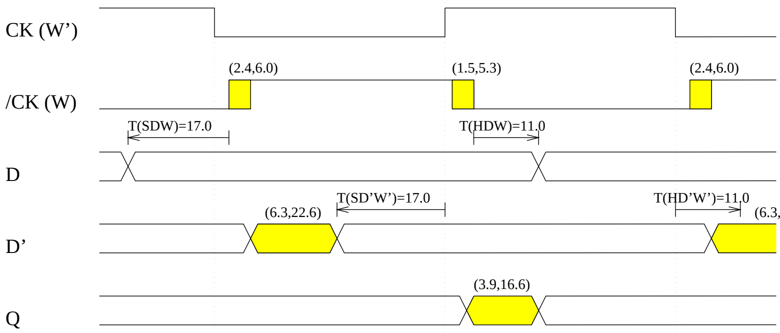
min: t_{PHL}(5pF)= 1.5ns +0.03$\frac{\text{ns}}{\text{pF}}$∗ (5pF - 50pF) = 0.15 ns

max: t_{PHL}(5pF)= 5.3ns +0.03$\frac{\text{ns}}{\text{pF}}$∗ (5pF - 50pF) = 3.95 ns

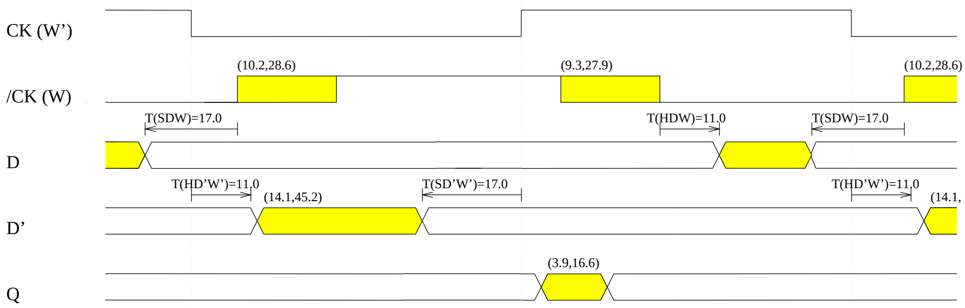
Lösung zu Aufgabe 7.2 [Master-Slave Flipflop]

Mit den Daten aus der Vorlesung:





Man sieht sofort, daß die Holdtime-Bedingung für D' nicht garantiert werden kann. Man kann Abhilfe schaffen, indem man den Inverter in der Clockleitung durch 5 Inverter ersetzt.

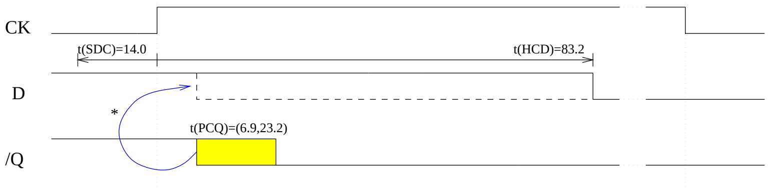


Dieses MS-Flipflop funktioniert, allerdings ist es recht langsam:

t_{SU} D vor CK↑ = 69 ns
t_{HO} D nach CK↑ = 38.9 ns
t_{PD} CK↑ bis Q = 16.6 ns
Cycletime: min 124.4 ns

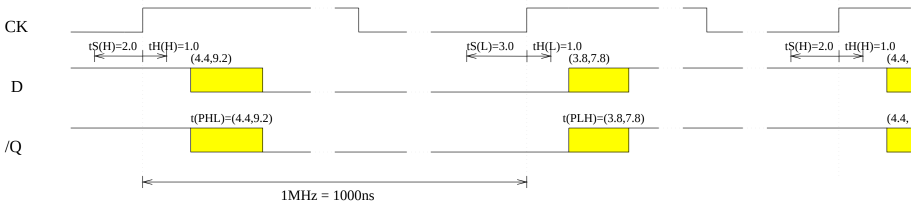
Die Funktion eines MS-Flipflops: Allgemein gesagt, clockt das MS-FF zur fallenden Clockflanke Daten ein und legt sie zur steigenden an seinem Ausgang raus. Dort hält es sie stabil bis zur nächsten steigenden Flanke. Im speziellen kann man MS-Flipflops zum entkoppeln von Signalen benutzen.

Lösung zu Aufgabe 7.3 [D-Flipflop]
Zunächst einmal das Timingdiagramm für das D-Flipflop aus der Vorlesung und dem Buch.

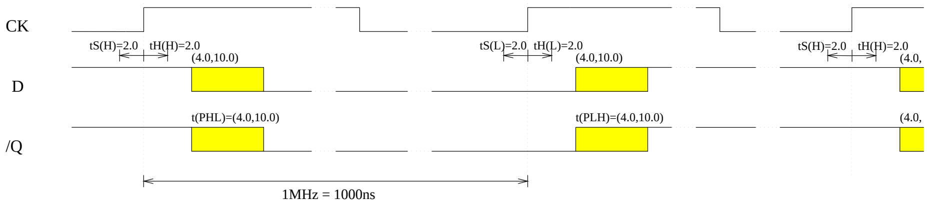


*) Da /Q direkt an D angeschlossen ist, wird immer die Holdtime-Bedingung von D verletzt.
Deshalb braucht man hier gar nicht weiterzurechnen!

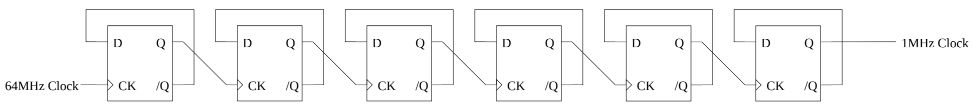
Man sieht sofort, daß dieses Flipflop nicht in der angegebenen Weise beschaltet werden kann, da immer die Holdtime-Bedingung für den Eingang des Flipflops verletzt ist.
Eine funktionsfähige Schaltung erhält man, indem man das Flipflop im Baustein 74F74 (vgl. Buch Anhang A.3) verwendet.



Als dritte Möglichkeit hat man dann die Benutzung der Flipflops im Baustein 74F374. Leider hat dieser Baustein keine invertierten Ausgänge, aber der Baustein 74F534 hat exakt das gleiche Timingverhalten und besitzt nur invertierte Ausgänge.



Natürlich könnte man auch einfach einen Inverter zwischen den Ausgang Q des Bausteins 74F374 und des Eingangs D hängen. Eine Timinganalyse hierfür gebe ich aber nicht an, sie kann leicht als Übung für die Klausur selbst erstellt werden!
Anmerkung zu den Timingdiagrammen: Sie sind nicht maßstabsgetreu und normalerweise schreibt man auch nicht t_{PLH} und dergleichen in die Diagramme, ich tat dies an dieser Stelle nur zur Verdeutlichung, woher die Zahlen kommen!

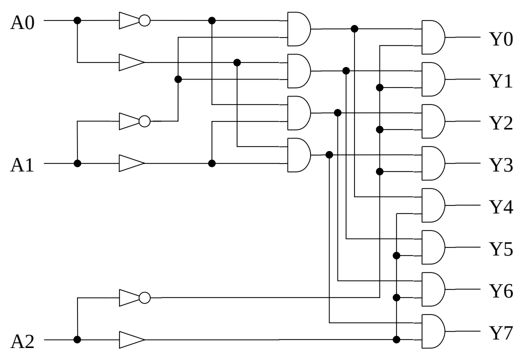


Jedes Flipflop teilt den Takt. Somit liegt am Ausgang Q des ersten Flipflops (von links gezählt) noch ein Taktsignal von 32MHz an. Am Ausgang Q des zweiten Flipflops sind es dann noch 16MHz. Und schließlich am Ausgang Q des sechsten Flipflops haben wir dann das gewünschte 1MHz Taktsignal (natürlich mit etwas Skew gegenüber dem 64MHz Taktsignal, d.h. die Steigende Flanke des 64MHz Taktsignals läuft etwas der steigenden Flanke des 1MHz Taktsignals vorweg).

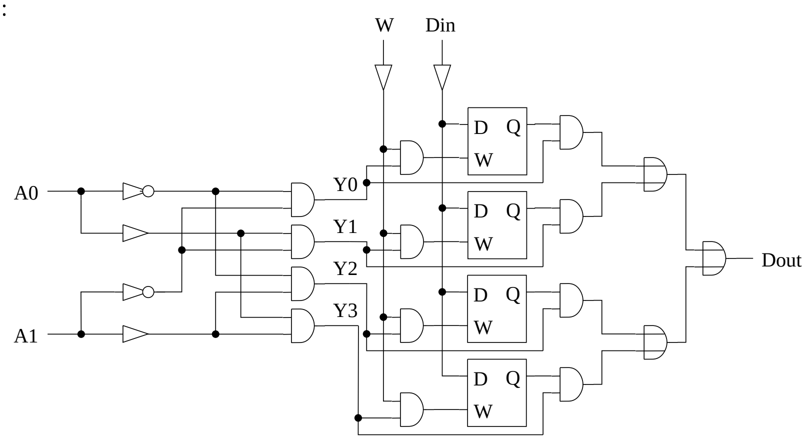
Lösung zu Aufgabe 7.4 [SRAM]

Wie in der Vorlesung erwähnt und im Buch (S. 266) beschrieben, nimmt man sich als Faustregel, daß man jeden Treiberausgang an bis zu 10 Eingänge hängen kann. Möchte man mehr als 10 Eingänge treiben, so muß man einen Treiberbaum konstruieren (vgl. Kapitel 5.4.2). In diesem Fall möchte man einen Dateneingang viermal abgreifen. Käme dieses Signal direkt aus einem Treiber, bräuchte man keine weiteren Treiber, da man aber nicht weiß, woher dieses Signal kommt, muß man es genau einmal treiben.

Der 3-Bit Dekoder:



Das 4-Bit SRAM:



Anmerkung: Bezeichnung: Mit 4-Bit SRAM ist im allgemeinen ein SRAM, welches 4 Bits speichern kann, die somit durch zwei ($\log_2 4$) Adressleitungen angesprochen werden, gemeint.